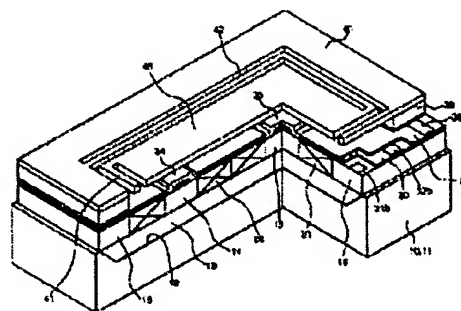


**MICRO RELAY****Publication number:** JP11054016**Publication date:** 1999-02-26**Inventor:** HOSOYA KATSUMI; OBA MASATOSHI**Applicant:** OMRON TATEISI ELECTRONICS CO**Classification:****- international:** H01H50/04; H01H50/28; H01H51/06; H01H50/02; H01H50/16; H01H51/00; (IPC1-7): H01H51/06; H01H50/04; H01H50/28**- European:****Application number:** JP19970214457 19970808**Priority number(s):** JP19970214457 19970808[Report a data error here](#)**Abstract of JP11054016**

**PROBLEM TO BE SOLVED:** To provide a micro relay which has a high withstand voltage and a big driving force. **SOLUTION:** This relay consists of a base 11 of silicon wafer, a plate-like core body 13 of conductive magnetic material laminated and integrated in the base 11, a pair of center core bodies 14, 15 of conductive magnetic material protruded in the plate-like core body 13, spiral flat coils 20, 21 formed around the center core bodies 14, 15, and a moving contact strip 43 facing touchably and separably to fixed contacts 34, 35 which are supported in a thickness direction through hinge parts 41, 42 so that they can be driven, and is positioned at a tip of the center core bodies 14, 15.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-54016

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.<sup>8</sup>

H 0 1 H 51/06  
50/04  
50/28

識別記号

F I

H 0 1 H 51/06  
50/04  
50/28

D  
N

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21) 出願番号 特願平9-214457

(22) 出願日 平成9年(1997) 8月8日

(71) 出願人 000002945

オムロン株式会社

京都府京都市右京区花園土堂町10番地

(72) 発明者 細谷 克己

京都府京都市右京区花園土堂町10番地 オムロン株式会社内

(72) 発明者 大場 正利

京都府京都市右京区花園土堂町10番地 オムロン株式会社内

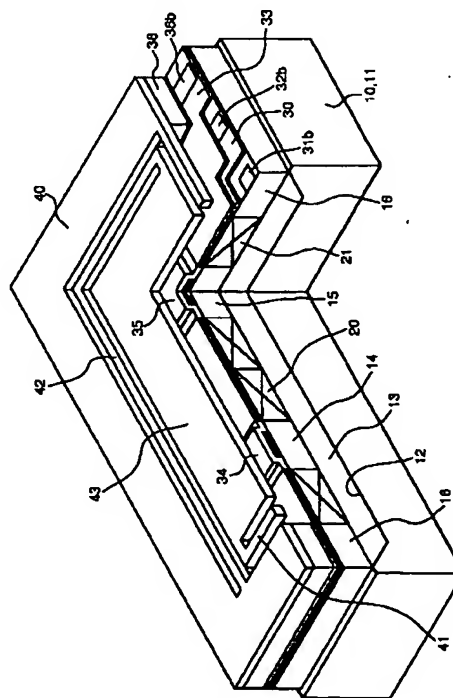
(74) 代理人 弁理士 青山 葆 (外3名)

(54) 【発明の名称】 マイクロリレー

(57) 【要約】

【課題】 耐圧が高く、駆動力の大きいマイクロリレーを提供することにある。

【解決手段】 シリコンウエハからなるベース11と、このベース11に積層一体化した導電性磁性材からなる板状芯体13と、この板状芯体13に突設した導電性磁性材からなる一対の中芯体14、15と、この中芯体14、15の周囲にそれぞれ形成された渦巻状フラットコイル20、21と、ヒンジ部41、42を介して厚さ方向に駆動可能に支持され、かつ、前記中芯体14、15の先端に位置する固定接点34、35に接離可能に対向する可動接点片43とから構成されている。



## 【特許請求の範囲】

【請求項1】 半導体基板からなるベースと、このベースに積層一体化した導電性磁性材からなる板状芯体と、この板状芯体に突設した導電性磁性材からなる中芯体と、この中芯体の周囲に形成された少なくとも一層の渦巻状フラットコイルと、ヒンジ部を介して厚さ方向に駆動可能に支持され、かつ、前記中芯体の先端に位置する固定接点に接離可能に対向する可動接点片とからなることを特徴とするマイクロリレー。

【請求項2】 前記板状芯体に一对の中芯体を突設したことを特徴とする請求項1に記載のマイクロリレー。

【請求項3】 半導体基板からなるベースと、相互に絶縁状態で、かつ、前記ベースに積層一体化された導電性磁性材からなる一对の板状芯体と、この板状芯体にそれぞれ突設した中芯体と、この中芯体の周囲にそれぞれ形成された少なくとも一層の渦巻状フラットコイルと、ヒンジ部を介して厚さ方向に駆動可能に支持され、かつ、一对の前記中芯体の先端に位置する固定接点に接離可能に対向する可動接点片とからなることを特徴とするマイクロリレー。

【請求項4】 前記フラットコイルが、絶縁層と渦巻状導電層とを交互に積層一体化して形成した複数層であることを特徴とする請求項1ないし3に記載のマイクロリレー。

【請求項5】 前記板状芯体が、前記ベースの上面に形成した凹所に積層一体化して埋設したことを特徴とする請求項1ないし4のいずれか1項に記載のマイクロリレー。

【請求項6】 前記可動接点片を一对のヒンジ部で支持したことを特徴とする請求項1ないし5のいずれか1項に記載のマイクロリレー。

【請求項7】 前記ヒンジ部がクランク状に屈曲していることを特徴とする請求項1ないし6のいずれか1項に記載のマイクロリレー。

【請求項8】 前記板状芯体が、前記ベースの裏面から、このベースに設けた貫通孔を介してベースの表面に迫り出すように積層一体化されるとともに、前記中芯体が、前記貫通孔から露出する板状芯体の露出面に突設されたことを特徴とする請求項1ないし7のいずれか1項に記載のマイクロリレー。

【請求項9】 複数枚の前記可動接点片を同一平面上に配置し、かつ、電気接続して複数の電気回路を任意に開閉できることを特徴とする請求項1ないし8のいずれか1項に記載のマイクロリレー。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はマイクロリレー、特に、半導体プロセスで製造するマイクロリレーに関する。

## 【0002】

【従来の技術と発明が解決しようとする課題】従来、マイクロリレーとしては、例えば、特開平2-100224号公報に記載の静電式リレーがある。すなわち、電気絶縁性の基板主面にスペーサ手段を介して対向配設された単結晶半導体基材に枢支されて先端側が基板主面側へ回動変位可能に設定された可動片を半導体基材から形成する。一方、前記可動片に対向して基板主面に可動片とで駆動用対向電極を構成する固定側電極層を形成し、可動片に電気絶縁膜を介して可動接点層を形成して可動接点層に開閉される固定接点層を基板主面に形成したものである。

【0003】しかしながら、静電引力は距離の2乗に反比例する。このため、前述の静電式リレーでは、大きな静電引力を得るべく、可動接点と固定接点とを接近させると、所望の耐圧を確保できない。一方、所望の耐圧を確保すべく、可動接点と固定接点との接点間距離を大きくすると、静電引力が小さくなり、可動片の動作特性が低下するという問題点がある。

【0004】本発明は、前記問題点に鑑み、高い耐圧および大きな駆動力を兼ね備えたマイクロリレーを提供することを目的とする。

## 【0005】

【課題を解決するための手段】本発明にかかるマイクロリレーは、前記目的を達成するため、半導体基板からなるベースと、このベースに積層一体化した導電性磁性材からなる板状芯体と、この板状芯体に突設した導電性磁性材からなる中芯体と、この中芯体の周囲に形成された少なくとも一層の渦巻状フラットコイルと、ヒンジ部を介して厚さ方向に駆動可能に支持され、かつ、前記中芯体の先端に位置する固定接点に接離可能に対向する可動接点片とからなる構成としてある。また、前記板状芯体に一对の中芯体を突設しておいてもよい。

【0006】半導体基板からなるベースと、相互に絶縁状態で、かつ、前記ベースに積層一体化された導電性磁性材からなる一对の板状芯体と、この板状芯体にそれぞれ突設した中芯体と、この中芯体の周囲にそれぞれ形成された少なくとも一層の渦巻状フラットコイルと、ヒンジ部を介して厚さ方向に駆動可能に支持され、かつ、一对の前記中芯体の先端に位置する固定接点に接離可能に対向する可動接点片とからなる構成であってもよい。

【0007】前記フラットコイルが、絶縁層と渦巻状導電層とを交互に積層一体化して形成した複数層であってもよい。

【0008】また、前記板状芯体は、前記ベースの上面に形成した凹所に積層一体化して埋設してもよい。

【0009】前記可動接点片は一对のヒンジ部で支持してもよく、さらに、前記ヒンジ部はクランク状に屈曲していてもよい。

【0010】前記板状芯体が、前記ベースの裏面から、このベースに設けた貫通孔を介してベースの表面に迫り

出すように積層一体化されるとともに、前記中芯体が、前記貫通孔から露出する板状芯体の露出面に突設された構成であってもよい。

【0011】複数枚の前記可動接点片を同一平面上に配置し、かつ、電気接続して複数の電気回路を任意に開閉できるマトリックスタイプのマイクロリレーとしてもよい。

【0012】

【発明の実施の形態】次に、本発明にかかる実施形態を図1ないし図14の添付図面に従って説明する。第1実施形態は、図1ないし図10に示すように、チップ状マイクロリレー10を箱形セラミックパッケージ50内に収納し、セラミックカバー60で密閉する場合である。

【0013】前記マイクロリレー10は、図3に示すように、ベース11に積層一体化した板状芯体13に一对の中芯体14、15および補助ヨーク16を突設したものである。そして、前記中芯体14、15の周囲にはフラットコイル20、21をそれぞれ形成し、前記中芯体14、15の先端には固定接点34、35をそれぞれ設けてある。さらに、前記固定接点34、35には、一对のヒンジばね41、42を介して可動接点片43が接離可能に対向している。

【0014】箱形セラミックパッケージ50は、その底面の対向する隅部に接続用段部51、52を形成してある。そして、前記段部51の表面にリード端子用接続パッド53、54、55、56を所定のピッチで設けてある。前記リード端子の外側端部は図示しないプリント基板に表面実装できるようにセラミックパッケージ50の底面に延在している。さらに、前記セラミックパッケージ50は、その開口縁部に設けた環状の突条57をシール剤を介してセラミックカバー60で密封可能となっている。

【0015】次に、マイクロリレー10の製造方法について説明する。なお、通常、シリコンウエハ上には複数のマイクロリレーが同時に形成されるが、説明の便宜上、1個のマイクロリレーを製造する場合について説明する。まず、図4(a)に示すように、ベース11となるシリコンウエハをエッチングして凹所12を形成した後(図4(b))、この凹所12に無電界メッキで導電性磁性材からなる板状芯体13を形成し、その表面を研磨して平坦にする(図4(c))。そして、前記板状芯体13の表面に一对のフラットコイル20、21を形成する。

【0016】前記フラットコイル20、21は、図7に示すように、前記板状芯体13の表面に絶縁層22を形成した後、渦巻状導電層23を形成する。さらに、この導電層23を、その両端部を除き、絶縁層24で被覆する。ついで、図8に示すように、露出する前記渦巻状導電層23の一端23aに他の渦巻状導電層25の端部25aを重ねて形成することにより、電気接続する。以

後、同様の半導体プロセスで絶縁層26、渦巻状導電層27、絶縁層28を形成することにより、フラットコイル20、21が完成する。ただし、隣り合うフラットコイル20、21は相互に電気接続され、かつ、反対方向の磁束を発生するように形成されている。

【0017】ついで、図5に示すように、板状芯体13の表面に電界メッキで導電性磁性材からなる中芯体14、15および補助ヨーク16を形成する(図5

(a))。さらに、所定の部分を除き、絶縁層30を形成した後、ワイヤボンディングするための固定接点用接続パッド31a、31bおよびフラットコイル用接続パッド32a、32bを形成する(図5(b)、図9)。ついで、絶縁層33を形成する(図5(c))。

【0018】そして、中芯体14、15の先端部に導電材をメッキして固定接点34、35を形成する(図6

(a)、図10)。さらに、前記絶縁層33に可動接点用接続パッド36a、36bを形成する。ついで、スペーサ部形成用電極37を形成し、厚肉のスペーサ部38をメッキで形成した後、樹脂材をコーティングして犠牲層39を形成する(図6(b))。そして、前記スペーサ部38および前記犠牲層39の表面に、補助ヨーク40および一对のヒンジ部41、42、可動接点片43となる導電層をそれぞれ形成した後、前記犠牲層39を除去して一对のヒンジ部41、42および可動接点片43を形成する。最後に、ダイシングでシリコンウエハからなるベース11を個々に切り離し、チップ状マイクロリレー10が完成する。

【0019】次に、図2に示すように、前記マイクロリレー10を箱形セラミックパッケージ50内に収納、固定した後、マイクロリレー10の接続パッド32a、31a、32b、36bと、セラミックパッケージ50の接続パッド53、54、55、56とをワイヤボンディングでそれぞれ電気接続する。さらに、セラミックパッケージ50の環状の突条57にセラミックカバー60をシール剤を介してシールすることにより、組立作業が完了する。

【0020】次に、前述の構成を有するマイクロリレー10の動作について説明する。まず、フラットコイル20、21に電圧が印加されておらず、励磁されていない場合、ヒンジ部41、42のバネ力により、可動接点片43が固定接点34、35から開離している。そして、前記接続パッド32a、32bを介してフラットコイル20、21に電圧を印加して励磁すると、相互に反対方向の磁束が生じ、中芯体14、固定接点34、可動接点片43、固定接点35、中芯体15、板状芯体13を介して磁気回路が開成される。このため、ヒンジ部41、42のバネ力に抗して可動接点片43が固定接点34、35に吸引されて吸着する。この結果、接続パッド31a、補助ヨーク16、板状芯体13、中芯体14、15、固定接点34、35、可動接点片43、ヒンジ部4

1、42、スペーサ38、可動接点用接続パッド36bを介して電気回路が閉成される。ついで、フラットコイル20、21に対する電圧の印加を停止して励磁を解くと、ヒンジ部41、42のばね力で可動接点片43が元の状態に復帰する。

【0021】本実施形態によれば、フラットコイル20、21で生じた磁束が漏れず、すべての磁力を可動接点片43の駆動に利用できる。このため、磁気効率が高く、省エネルギーのマイクロリレー10が得られるという利点がある。

【0022】第2実施形態は、図11に示すように、一つの固定接点34を有するチップ状マイクロリレー10に適用した場合である。そして、チップ状マイクロリレー10は箱形セラミックパッケージ50内に収納され、セラミックカバー60で密閉される。すなわち、前記マイクロリレー10は、図12に示すように、ベース11に積層一体化した板状芯体13の中央に中芯体14を突設してある。そして、この中芯体14は、その周囲にフラットコイル20、補助ヨーク部16を形成し、その先端に固定接点34を設けてある。さらに、前記固定接点34には、一対のヒンジばね41、42を介して可動接点片43が接離可能に対向している。

【0023】本実施形態では、固定接点用接続パッド31の両側にフラットコイル用接続パッド32a、32bを配置し、さらに、その両側に可動接点片用接続パッド36a、36bを設けてある。他方、ベース10の対向する片側縁部にも同様に接続パッド31、32a、32b、36a、36bを設けてある。これは、接続作業における方向性を無くし、作業の効率化を図るためである。

【0024】前記箱形セラミックパッケージ50は、第1実施形態と同様、その底面の対向する隅部に接続用段部51（図示せず）、52を形成してある。そして、前記段部51、52の表面には、リード端子用接続パッド53、54を所定のピッチでそれぞれ設けてある。前記リード端子の外側端部は図示しないプリント基板に表面実装できるようにセラミックパッケージ50の底面に延在している。さらに、前記セラミックパッケージ50は、その開口縁部に設けた環状の突条57にシール剤を介してセラミックカバー60で密封可能となっている。なお、第2実施形態にかかるマイクロリレー10の製造方法は、前述の第1実施形態とほぼ同様であるので、説明を省略する。

【0025】次に、第2実施形態の動作について説明する。まず、フラットコイル20に電圧が印加されておらず、励磁されていない場合、ヒンジ部41、42のバネ力により、可動接点片43が固定接点34から開離している。そして、前記接続パッド32a、32bを介してフラットコイル20に電圧を印加して励磁すると、磁束が生じ、中芯体14、固定接点34、可動接点片43、

ヒンジ部41、42、補助ヨーク40、スペーサ38、補助ヨーク16、および、板状芯体13を介して磁気回路が閉成される。このため、ヒンジ部41、42のバネ力に抗して可動接点片43が固定接点34に吸引されて吸着する。この結果、接続パッド31、補助ヨーク16、板状芯体13、中芯体14、固定接点34、可動接点片43、ヒンジ部41、42、補助ヨーク40、スペーサ38、可動接点用接続パッド36bを介して電気回路が閉成される。ついで、フラットコイル20、21に対する電圧の印加を停止して励磁を解くと、ヒンジ部41、42のばね力で可動接点片43が元の状態に復帰する。

【0026】第3実施形態は、図13に示すように、半導体基板の裏面に半導体プロセスを施して板状芯体を形成する場合である。すなわち、ベース11となる単結晶シリコンウエハの表裏面にエッチングマスク71、72を形成し、ディープエッチングを施して貫通孔73を形成する（図13（c））。そして、エッチングマスクを除去して全表面に熱酸化膜（図示せず）を形成し、金属を蒸着させてメッキ下地74を形成する（図13（d））。ついで、導電性磁性材をメッキして第1層状芯体75を形成した後、ベース11から突出する導電性磁性材を研磨して面一にする（図13（e））、

（f））。さらに、前述の実施形態と同様の半導体プロセスでフラットコイル20を形成した後、導電性磁性材をメッキして第2層状芯体76および中芯体77を形成する（図13（g）,（h））。最後に、フラットコイル20の表面をリフトオフ用樹脂膜78で被覆し、中芯体77の先端部に金メッキを施して固定接点79を形成した後、前記樹脂膜78を除去してコイル接点プレート80が完成する（図13（i））。

【0027】本実施形態によれば、半導体基板に第1、第2層状芯体75、76、中芯体77およびフラットコイル20を半導体プロセスだけで一体に形成できる。このため、部品点数、生産工数が減少するだけでなく、組立精度の高いリレーが得られる。なお、本実施形態によれば、板状芯体を第1、第2層状芯体で構成する場合について説明したが、必ずしもこれに限らず、単層構造としてもよい。

【0028】また、前述の実施形態では、板状芯体および中芯体を別々に形成する場合について説明したが、必ずしもこれに限らず、例えば、シリコンウエハに導電性磁性材を肉厚にメッキした後、エッチングを施して不要な部分を除去し、板状芯体および中芯体を同時に切り出してもよい。

【0029】第4実施形態は、図14に示すように、第2実施形態にかかる4個のマイクロリレー10を組み合わせさせてマトリックスリレーを形成した場合である。本実施形態によれば、連続する導電性薄膜から形成された4枚の可動接点片43は、それぞれ独立して駆動するよう

に形成されている。このため、所定のコイル端子 3 2 a, 3 2 b に電圧を印加してフラットコイル 2 0 を励磁することにより、所望の電気回路を任意に開閉できる。なお、この実施形態によれば、第 2 実施形態にかかる 4 個のマイクロリレーを組み合わせた場合について説明したが、必ずしもこれに限らず、例えば、他の実施形態にかかる同一あるいは異なる複数個のマイクロリレーを組み合わせてもよい。

#### 【0030】

【発明の効果】以上の説明から明らかなように、請求項 10 1 の発明によれば、フラットコイルに生じる電磁力を利用して可動接点片を駆動できる。このため、従来例にかかる静電式リレーよりも大きな駆動力が得られる。この結果、固定接点と可動接点片との接点間距離を大きくでき、耐圧性が向上する。また、すべての工程を半導体プロセスで処理できるので、極めて小型のマイクロリレーが得られる。請求項 2 の発明によれば、板状芯体に突設した一対の中芯体を介して磁気回路を形成できる。このため、フラットコイルに生じた磁束を漏らすことなく、すべて利用でき、磁気効率の良いマイクロリレーが得られる。請求項 3 の発明によれば、一対の固定接点が相互に絶縁状態であり、これらに可動接点片を接触させて電気回路を閉成できる。このため、固定接点と可動接点片との接点間距離が実質的に 2 倍となり、耐圧の高いマイクロリレーが得られる。請求項 4 の発明によれば、多層の渦巻状フラットコイルが得られるので、電磁力が大きく、かつ、小型のマイクロリレーが得られる。請求項 5 のマイクロリレーによれば、板状芯体がベースに埋設されているので、より一層薄型のマイクロリレーが得られる。請求項 6 の発明によれば、一対のヒンジ部で可動接点 30 が支持される。このため、可動接点の支持バランスが良くなり、片当たりの少ないマイクロリレーが得られる。請求項 7 のマイクロリレーによれば、ヒンジ部の支点間距離が実質的に長くなる。このため、接点間距離が長くなり、可動接点片を小さな駆動力で駆動できるので、応答特性の良いマイクロリレーが得られる。請求項 8 のマイクロリレーによれば、ベースの表裏面から板状芯体および中芯体を形成できるので、製造の自由度が広がり、製造が容易になる。請求項 9 のマイクロリレーによれば、複数の電気回路を任意に開閉でき、マトリック 40

スタイプのマイクロリレーが得られるという効果がある。

#### 【図面の簡単な説明】

【図 1】 本願発明にかかるマイクロリレーの第 1 実施形態を示す分解斜視図である。

【図 2】 図 1 で示したマイクロリレーを示し、図 (a) は平面図、図 1 (b) は回路図である。

【図 3】 図 1 で示したマイクロリレーの部分破断斜視図である。

【図 4】 図 1 で示したマイクロリレーの製造工程を説明するための断面図である。

【図 5】 図 1 で示したマイクロリレーの製造工程を説明するための断面図である。

【図 6】 図 1 で示したマイクロリレーの製造工程を説明するための断面図である。

【図 7】 第 1 実施形態にかかるフラットコイルの製造工程を説明するための端面図である。

【図 8】 第 1 実施形態にかかるフラットコイルを示す部分破断斜視図である。

【図 9】 図 1 で示したマイクロリレーの中間品を示し、図 (a) は斜視図、図 (b) は要部断面図である。

【図 10】 図 1 で示したマイクロリレーの中間品の斜視図である。

【図 11】 第 2 実施形態の分解斜視図である。

【図 12】 図 11 で示したマイクロリレーの部分破断斜視図である。

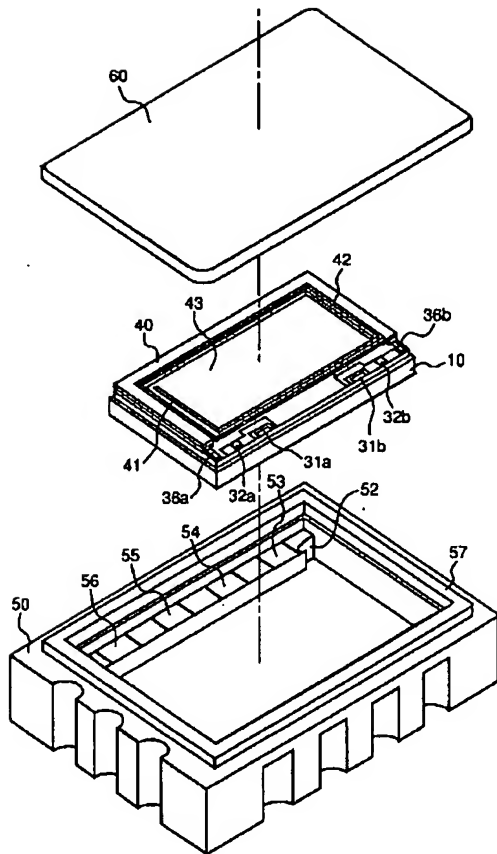
【図 13】 第 3 実施形態にかかるマイクロリレーの製造工程を説明するための断面図である。

【図 14】 第 4 実施形態にかかるマイクロリレーを示し、図 (a) 平面図、図 (b) は回路図である。

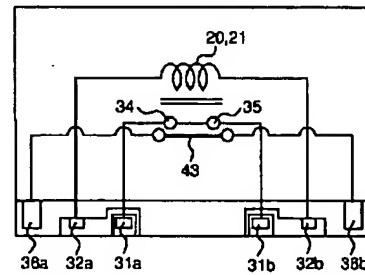
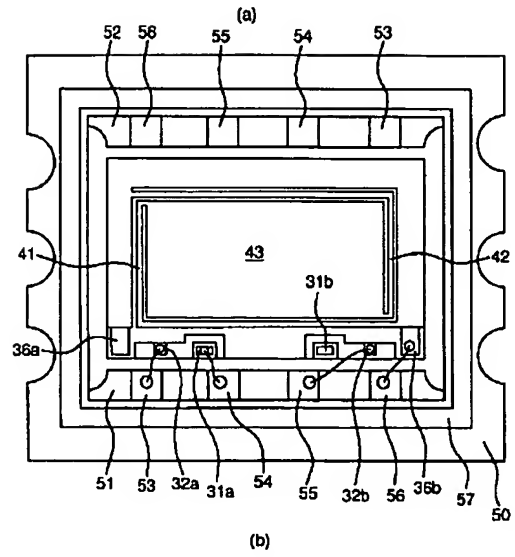
#### 【符号の説明】

1 0 … マイクロリレー、1 1 … ベース、1 2 … 凹所、1 3 … 板状芯体、1 4, 1 5 … 中芯体、1 6 … 補助ヨーク、2 0, 2 1 … フラットコイル、3 1 a, 3 1 b … 固定接点用接続パッド、3 2 a, 3 2 b … フラットコイル用接続パッド、3 4, 3 5 … 固定接点、3 6 a, 3 6 b … 可動接点用接続パッド、4 1, 4 2 … ヒンジ部、4 3 … 可動接点片、5 0 … 箱形セラミックパッケージ、6 0 … セラミックカバー、7 5, 7 6 … 第 1, 第 2 層状芯体、7 7 … 中芯体、7 9 … 固定接点。

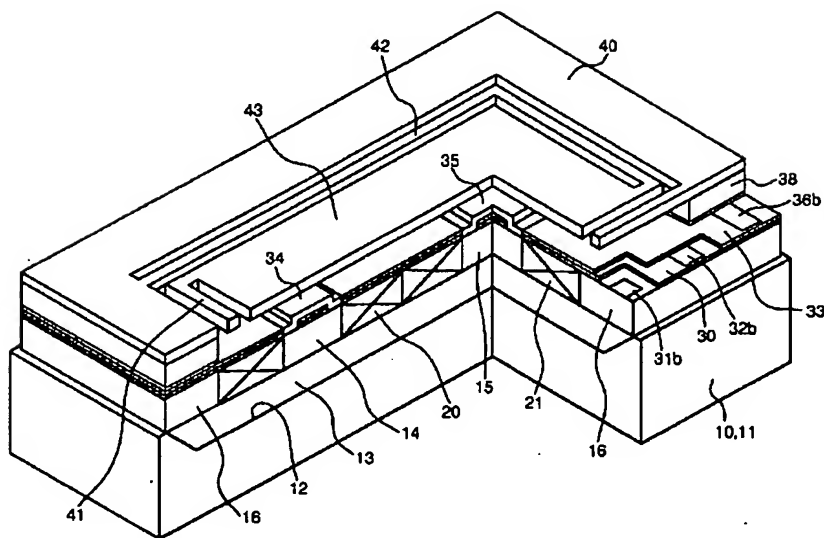
【図1】



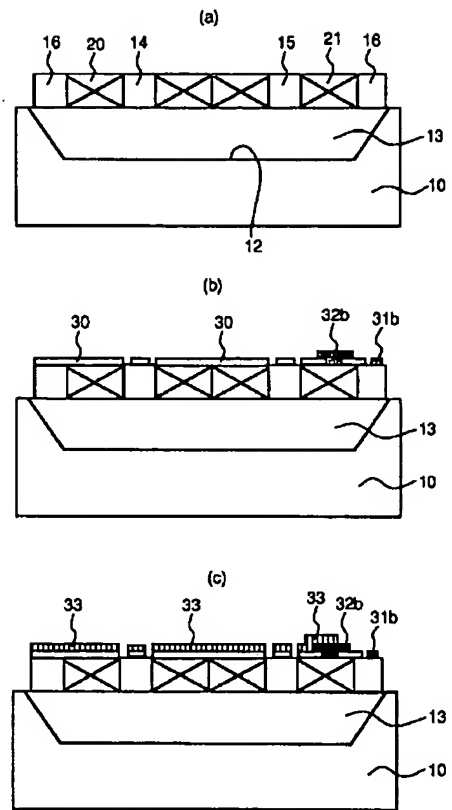
【図2】



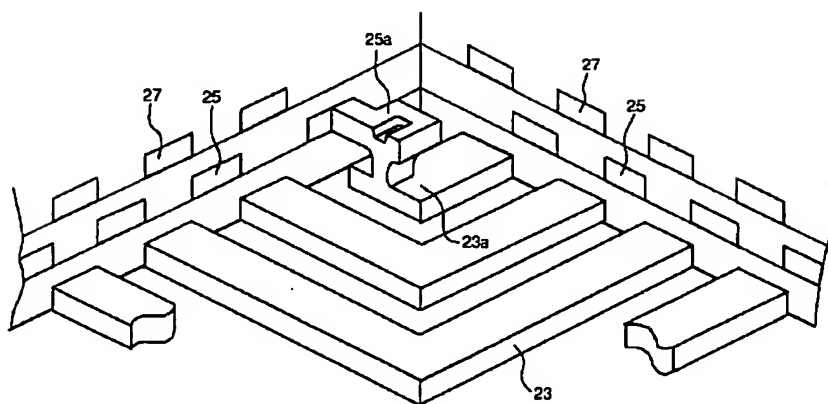
【図3】



【図 5】

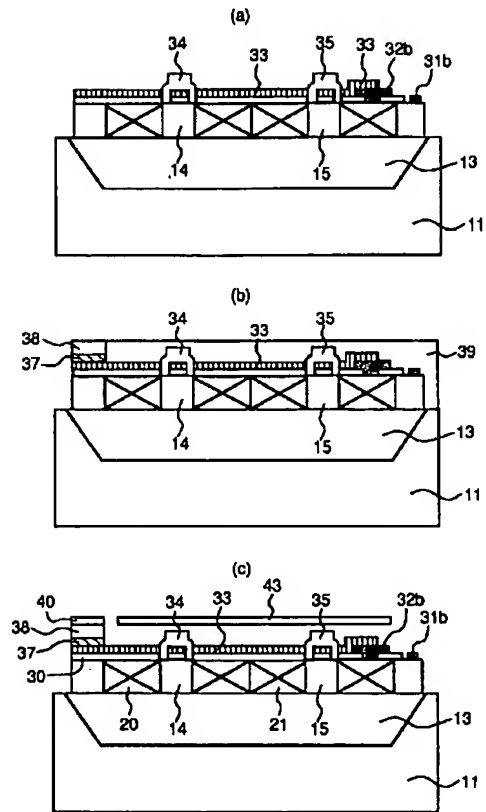


【图 8】

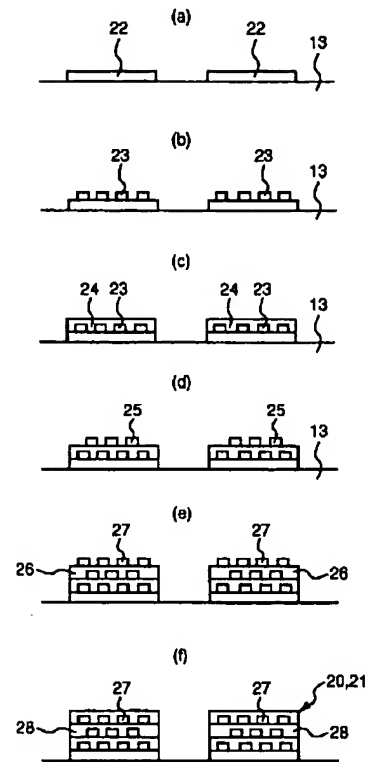




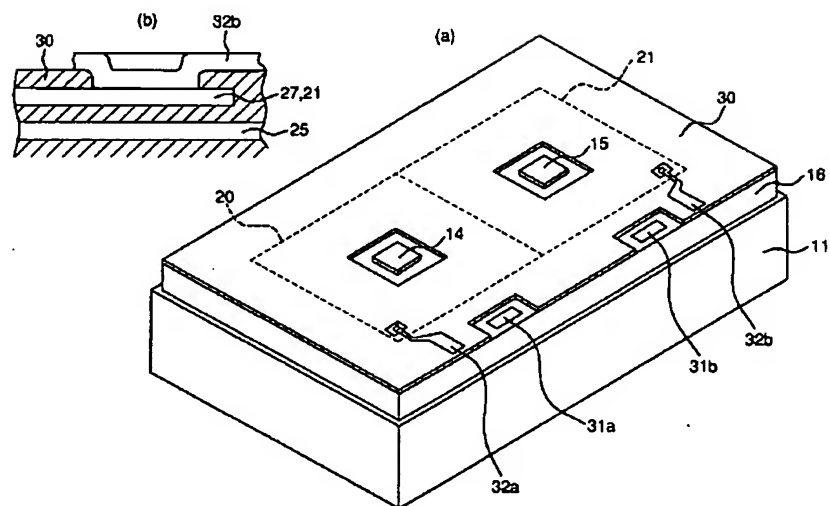
【図6】



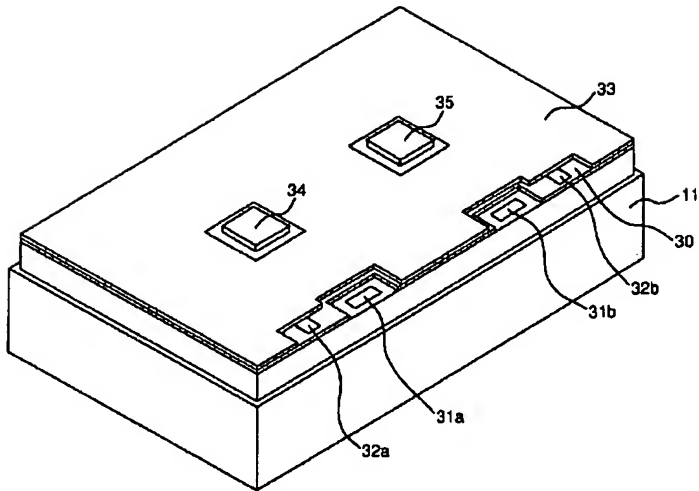
【図7】



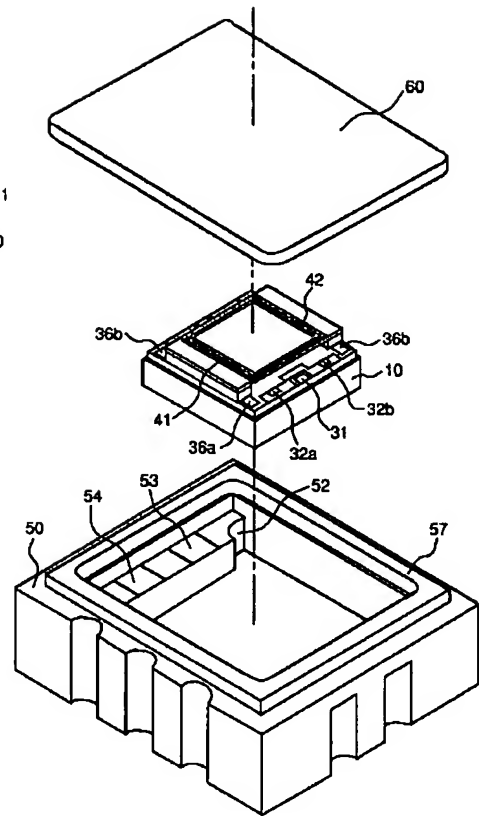
【図9】



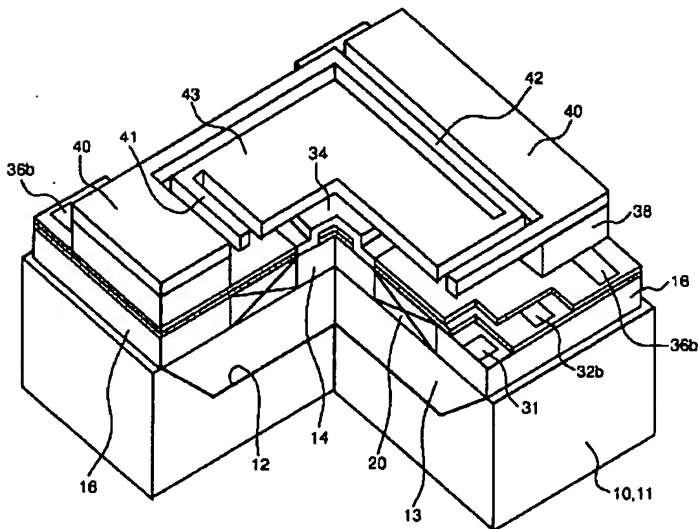
【図10】



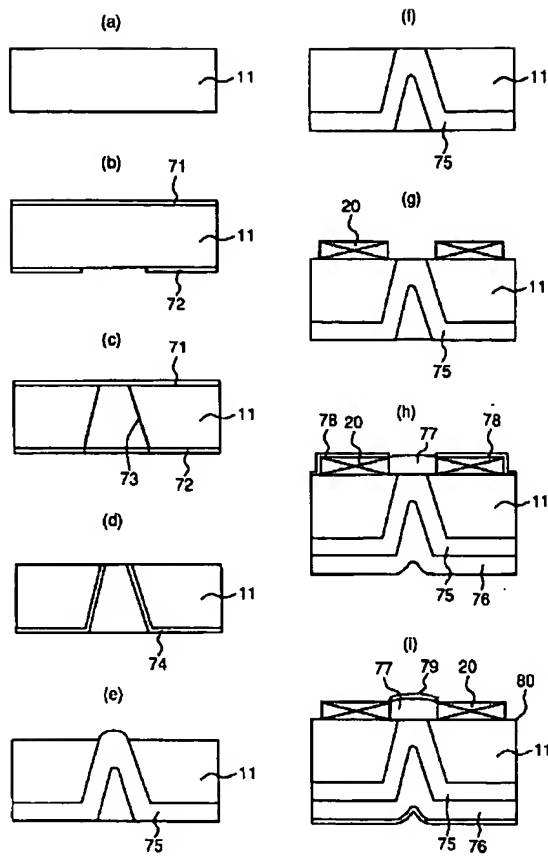
【図11】



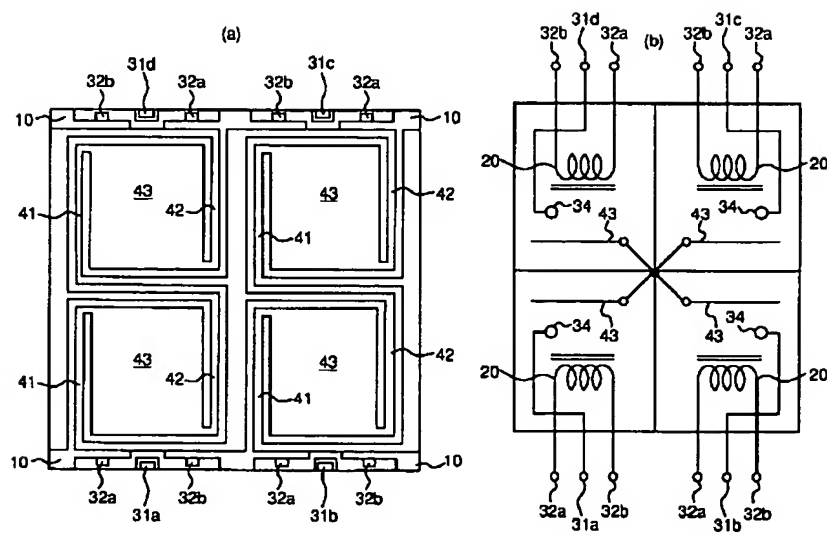
【図12】



【図 1 3】



【図 1 4】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 1 区分  
 【発行日】平成 14 年 1 月 11 日 (2002. 1. 11)

【公開番号】特開平 11-54016  
 【公開日】平成 11 年 2 月 26 日 (1999. 2. 26)  
 【年通号数】公開特許公報 11-541  
 【出願番号】特願平 9-214457  
 【国際特許分類第 7 版】

H01H 51/06  
 50/04  
 50/28

【F I】

H01H 51/06 D  
 50/04 N  
 50/28

【手続補正書】

【提出日】平成 13 年 6 月 25 日 (2001. 6. 25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】 明細書

【発明の名称】 マイクロリレー

【特許請求の範囲】

【請求項 1】 半導体基板からなるベースと、このベースに積層一体化した導電性磁性材からなる板状芯体と、この板状芯体に突設した導電性磁性材からなる中芯体と、この中芯体の周囲に形成された少なくとも一層の渦巻状フラットコイルと、ヒンジ部を介して厚さ方向に駆動可能に支持され、かつ、前記中芯体の先端に位置する固定接点に接離可能に対向する可動接点片とからなることを特徴とするマイクロリレー。

【請求項 2】 前記板状芯体に一对の中芯体を突設したことを特徴とする請求項 1 に記載のマイクロリレー。

【請求項 3】 半導体基板からなるベースと、相互に絶縁状態で、かつ、前記ベースに積層一体化された導電性磁性材からなる一对の板状芯体と、この板状芯体にそれぞれ突設した中芯体と、この中芯体の周囲にそれぞれ形成された少なくとも一層の渦巻状フラットコイルと、ヒンジ部を介して厚さ方向に駆動可能に支持され、かつ、一对の前記中芯体の先端に位置する固定接点に接離可能に対向する可動接点片とからなることを特徴とするマイクロリレー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマイクロリレー、特

に、半導体プロセスで製造するマイクロリレーに関する。

【0002】

【従来の技術と発明が解決しようとする課題】従来、マイクロリレーとしては、例えば、特開平 2-100224 号公報に記載の静電式リレーがある。すなわち、電気絶縁性の基板主面にスペーサ手段を介して対向配設された単結晶半導体基材に枢支されて先端側が基板主面側へ回動変位可能に設定された可動片を半導体基材から形成する。一方、前記可動片に対向して基板主面に可動片とで駆動用対向電極を構成する固定側電極層を形成し、可動片に電気絶縁膜を介して可動接点層を形成して可動接点層に開閉される固定接点層を基板主面に形成したものである。

【0003】しかしながら、静電引力は距離の 2 乗に反比例する。このため、前述の静電式リレーでは、大きな静電引力を得るべく、可動接点と固定接点とを接近させると、所望の耐圧を確保できない。一方、所望の耐圧を確保すべく、可動接点と固定接点との接点間距離を大きくすると、静電引力が小さくなり、可動片の動作特性が低下するという問題点がある。

【0004】本発明は、前記問題点に鑑み、高い耐圧および大きな駆動力を兼ね備えたマイクロリレーを提供することを目的とする。

【0005】

【課題を解決するための手段】本発明にかかるマイクロリレーは、前記目的を達成するため、半導体基板からなるベースと、このベースに積層一体化した導電性磁性材からなる板状芯体と、この板状芯体に突設した導電性磁性材からなる中芯体と、この中芯体の周囲に形成された少なくとも一層の渦巻状フラットコイルと、ヒンジ部を介して厚さ方向に駆動可能に支持され、かつ、前記中芯

体の先端に位置する固定接点に接離可能に対向する可動接点片とからなる構成としてある。また、前記板状芯体に一对の中芯体を突設しておいてもよい。

【0006】半導体基板からなるベースと、相互に絶縁状態で、かつ、前記ベースに積層一体化された導電性磁性材からなる一对の板状芯体と、この板状芯体にそれぞれ突設した中芯体と、この中芯体の周囲にそれぞれ形成された少なくとも一層の渦巻状フラットコイルと、ヒンジ部を介して厚さ方向に駆動可能に支持され、かつ、一对の前記中芯体の先端に位置する固定接点に接離可能に対向する可動接点片とからなる構成であってもよい。

【0007】前記フラットコイルは、絶縁層と渦巻状導電層とを交互に積層一体化して形成した複数層であってもよい。

【0008】また、前記板状芯体は、前記ベースの上面に形成した凹所に積層一体化して埋設してもよい。

【0009】前記可動接点片は一对のヒンジ部で支持してもよく、さらに、前記ヒンジ部はクランク状に屈曲していてもよい。

【0010】前記板状芯体は、前記ベースの裏面から、このベースに設けた貫通孔を介してベースの表面に迫り出すように積層一体化されるとともに、前記中芯体は、前記貫通孔から露出する板状芯体の露出面に突設された構成であってもよい。

【0011】複数枚の前記可動接点片を同一平面上に配置し、かつ、電気接続して複数の電気回路を任意に開閉できるマトリックスタイプのマイクロリレーとしてもよい。

【0012】

【発明の実施の形態】次に、本発明にかかる実施形態を図1ないし図14の添付図面に従って説明する。第1実施形態は、図1ないし図10に示すように、チップ状マイクロリレー10を箱形セラミックパッケージ50内に収納し、セラミックカバー60で密閉する場合である。

【0013】前記マイクロリレー10は、図3に示すように、ベース11に積層一体化した板状芯体13に一对の中芯体14、15および補助ヨーク16を突設したものである。そして、前記中芯体14、15の周囲にはフラットコイル20、21をそれぞれ形成し、前記中芯体14、15の先端には固定接点34、35をそれぞれ設けてある。さらに、前記固定接点34、35には、一对のヒンジばね41、42を介して可動接点片43が接離可能に対向している。

【0014】箱形セラミックパッケージ50は、その底面の対向する隅部に接続用段部51、52を形成してある。そして、前記段部51の表面にリード端子用接続パッド53、54、55、56を所定のピッチで設けてある。前記リード端子の外側端部は図示しないプリント基板上に表面実装できるようにセラミックパッケージ50の底面に延在している。さらに、前記セラミックパッケー

ジ50は、その開口縁部に設けた環状の突条57をシール剤を介してセラミックカバー60で密封可能となっている。

【0015】次に、マイクロリレー10の製造方法について説明する。なお、通常、シリコンウェハ上には複数個のマイクロリレーが同時に形成されるが、説明の便宜上、1個のマイクロリレーを製造する場合について説明する。まず、図4(a)に示すように、ベース11となるシリコンウェハをエッチングして凹所12を形成した後(図4(b))、この凹所12に無電界メッキで導電性磁性材からなる板状芯体13を形成し、その表面を研磨して平坦にする(図4(c))。そして、前記板状芯体13の表面に一对のフラットコイル20、21を形成する。

【0016】前記フラットコイル20、21は、図7に示すように、前記板状芯体13の表面に絶縁層22を形成した後、渦巻状導電層23を形成する。さらに、この導電層23を、その両端部を除き、絶縁層24で被覆する。ついで、図8に示すように、露出する前記渦巻状導電層23の一端23aに他の渦巻状導電層25の端部25aを重ねて形成することにより、電気接続する。以後、同様の半導体プロセスで絶縁層26、渦巻状導電層27、絶縁層28を形成することにより、フラットコイル20、21が完成する。ただし、隣り合うフラットコイル20、21は相互に電気接続され、かつ、反対方向の磁束を発生するように形成されている。

【0017】ついで、図5に示すように、板状芯体13の表面に電界メッキで導電性磁性材からなる中芯体14、15および補助ヨーク16を形成する(図5(a))。さらに、所定の部分を除き、絶縁層30を形成した後、ワイヤボンディングするための固定接点用接続パッド31a、31bおよびフラットコイル用接続パッド32a、32bを形成する(図5(b)、図9)。ついで、絶縁層33を形成する(図5(c))。

【0018】そして、中芯体14、15の先端部に導電材をメッキして固定接点34、35を形成する(図6(a)、図10)。さらに、前記絶縁層33に可動接点用接続パッド36a、36bを形成する。ついで、スペーサ部形成用電極37を形成し、厚肉のスペーサ部38をメッキで形成した後、樹脂材をコーティングして犠牲層39を形成する(図6(b))。そして、前記スペーサ部38および前記犠牲層39の表面に、補助ヨーク40および一对のヒンジ部41、42、可動接点片43となる導電層をそれぞれ形成した後、前記犠牲層39を除去して一对のヒンジ部41、42および可動接点片43を形成する。最後に、ダイシングでシリコンウェハからなるベース11を個々に切り離し、チップ状マイクロリレー10が完成する。

【0019】次に、図2に示すように、前記マイクロリレー10を箱形セラミックパッケージ50内に収納、固

定した後、マイクロリレー10の接続パッド32a, 31a, 32b, 36bと、セラミックパッケージ50の接続パッド53, 54, 55, 56とをワイヤボンディングでそれぞれ電気接続する。さらに、セラミックパッケージ50の環状の突条57にセラミックカバー60をシール剤を介してシールすることにより、組立作業が完了する。

【0020】次に、前述の構成を有するマイクロリレー10の動作について説明する。まず、フラットコイル20, 21に電圧が印加されておらず、励磁されていない場合、ヒンジ部41, 42のバネ力により、可動接点片43が固定接点34, 35から開離している。そして、前記接続パッド32a, 32bを介してフラットコイル20, 21に電圧を印加して励磁すると、相互に反対方向の磁束が生じ、中芯体14, 固定接点34、可動接点片43、固定接点35、中芯部15、板状芯体13を介して磁気回路が閉成される。このため、ヒンジ部41, 42のバネ力に抗して可動接点片43が固定接点34, 35に吸引されて吸着する。この結果、接続パッド31a、補助ヨーク16、板状芯体13、中芯体14, 15、固定接点34, 35、可動接点片43、ヒンジ部41, 42、スペーサ38、可動接点用接続パッド36bを介して電気回路が閉成される。ついで、フラットコイル20, 21に対する電圧の印加を停止して励磁を解くと、ヒンジ部41, 42のばね力で可動接点片43が元の状態に復帰する。

【0021】本実施形態によれば、フラットコイル20, 21で生じた磁束が漏れず、すべての磁力を可動接点片43の駆動に利用できる。このため、磁気効率が高く、省エネルギーのマイクロリレー10が得られるという利点がある。

【0022】第2実施形態は、図11に示すように、一つの固定接点34を有するチップ状マイクロリレー10に適用した場合である。そして、チップ状マイクロリレー10は箱形セラミックパッケージ50内に収納され、セラミックカバー60で密閉される。すなわち、前記マイクロリレー10は、図12に示すように、ベース11に積層一体化した板状芯体13の中央に中芯体14を突設してある。そして、この中芯体14は、その周囲にフラットコイル20、補助ヨーク部16を形成し、その先端に固定接点34を設けてある。さらに、前記固定接点34には、一對のヒンジばね41, 42を介して可動接点片43が接離可能に対向している。

【0023】本実施形態では、固定接点用接続パッド31の両側にフラットコイル用接続パッド32a, 32bを配置し、さらに、その両側に可動接点片用接続パッド36a, 36bを設けてある。他方、ベース10の対向する片側縁部にも同様に接続パッド31, 32a, 32b, 36a, 36bを設けてある。これは、接続作業における方向性を無くし、作業の効率化を図るためであ

る。

【0024】前記箱形セラミックパッケージ50は、第1実施形態と同様、その底面の対向する隅部に接続用段部51（図示せず）、52を形成してある。そして、前記段部51, 52の表面には、リード端子用接続パッド53, 54を所定のピッチでそれぞれ設けてある。前記リード端子の外側端部は図示しないプリント基板に表面実装できるようにセラミックパッケージ50の底面に延在している。さらに、前記セラミックパッケージ50は、その開口縁部に設けた環状の突条57にシール剤を介してセラミックカバー60で密封可能となっている。なお、第2実施形態にかかるマイクロリレー10の製造方法は、前述の第1実施形態とほぼ同様であるので、説明を省略する。

【0025】次に、第2実施形態の動作について説明する。まず、フラットコイル20に電圧が印加されておらず、励磁されていない場合、ヒンジ部41, 42のバネ力により、可動接点片43が固定接点34から開離している。そして、前記接続パッド32a, 32bを介してフラットコイル20に電圧を印加して励磁すると、磁束が生じ、中芯体14、固定接点34、可動接点片43、ヒンジ部41, 42、補助ヨーク40、スペーサ38、補助ヨーク16、および、板状芯体13を介して磁気回路が閉成される。このため、ヒンジ部41, 42のバネ力に抗して可動接点片43が固定接点34に吸引されて吸着する。この結果、接続パッド31、補助ヨーク16、板状芯体13、中芯体14、固定接点34、可動接点片43、ヒンジ部41, 42、補助ヨーク40、スペーサ38、可動接点用接続パッド36bを介して電気回路が閉成される。ついで、フラットコイル20, 21に対する電圧の印加を停止して励磁を解くと、ヒンジ部41, 42のばね力で可動接点片43が元の状態に復帰する。

【0026】第3実施形態は、図13に示すように、半導体基板の裏面に半導体プロセスを施して板状芯体を形成する場合である。すなわち、ベース11となる単結晶シリコンウエハの表裏面にエッチングマスク71, 72を形成し、ディープエッチングを施して貫通孔73を形成する（図13（c））。そして、エッチングマスクを除去して全表面に熱酸化膜（図示せず）を形成し、金属を蒸着させてメッキ下地74を形成する（図13

（d））。ついで、導電性磁性材をメッキして第1層状芯体75を形成した後、ベース11から突出する導電性磁性材を研磨して面一にする（図13（e））。

（f））。さらに、前述の実施形態と同様の半導体プロセスでフラットコイル20を形成した後、導電性磁性材をメッキして第2層状芯体76および中芯体77を形成する（図13（g）, （h））。最後に、フラットコイル20の表面をリフトオフ用樹脂膜78で被覆し、中芯体77の先端部に金メッキを施して固定接点79を形成

した後、前記樹脂膜78を除去してコイル接点プレート80が完成する(図13(i))。

【0027】本実施形態によれば、半導体基板に第1、第2層状芯体75、76、中芯体77およびフラットコイル20を半導体プロセスだけで一体に形成できる。このため、部品点数、生産工数が減少するだけでなく、組立精度の高いリレーが得られる。なお、本実施形態によれば、板状芯体を第1、第2層状芯体で構成する場合について説明したが、必ずしもこれに限らず、単層構造としてもよい。

【0028】また、前述の実施形態では、板状芯体および中芯体を別々に形成する場合について説明したが、必ずしもこれに限らず、例えば、シリコンウェハに導電性磁性材を肉厚にメッキした後、エッチングを施して不要な部分を除去し、板状芯体および中芯体を同時に切り出してもよい。

【0029】第4実施形態は、図14に示すように、第2実施形態にかかる4個のマイクロリレー10を組み合わせるマトリックスリレーを形成した場合である。本実施形態によれば、連続する導電性薄膜から形成された4枚の可動接点片43は、それぞれ独立して駆動するように形成されている。このため、所定のコイル端子32a、32bに電圧を印加してフラットコイル20を励磁することにより、所望の電気回路を任意に開閉できる。なお、この実施形態によれば、第2実施形態にかかる4個のマイクロリレーを組み合わせる場合について説明したが、必ずしもこれに限らず、例えば、他の実施形態にかかる同一あるいは異なる複数個のマイクロリレーを組み合わせてもよい。

【0030】

【発明の効果】以上の説明から明らかなように、請求項1の発明によれば、フラットコイルに生じる電磁力を利用して可動接点片を駆動できる。このため、従来例にかかる静電式リレーよりも大きな駆動力が得られる。この結果、固定接点と可動接点片との接点間距離を大きくでき、耐圧性が向上する。また、すべての工程を半導体プロセスで処理できるので、極めて小型のマイクロリレーが得られる。請求項2の発明によれば、板状芯体に突設した一対の中芯体を介して磁気回路を形成できる。このため、フラットコイルに生じた磁束を漏らすことなく、すべて利用でき、磁気効率の良いマイクロリレーが得られる。請求項3の発明によれば、一対の固定接点が相互に絶縁状態であり、これらに可動接点片を接触させて電気回路を開成できる。このため、固定接点と可動接点片との接点間距離が実質的に2倍となり、耐圧の高いマイクロリレーが得られる。また、フラットコイルが、絶縁層と渦巻状導電層とを交互に積層一体化して形成した複数層であれば、多層の渦巻状フラットコイルが得られる。このため、電磁力が大きく、かつ、小型のマイクロリレーが得られる。さらに、板状芯体がベースに埋設さ

れていれば、より一層薄型のマイクロリレーが得られる。そして、一対のヒンジ部で可動接点が支持されていれば、可動接点の支持バランスが良くなり、片当たりの少ないマイクロリレーが得られる。ついで、ヒンジ部がクランク状に屈曲していれば、ヒンジ部の支点間距離が実質的に長くなる。このため、接点間距離が長くなり、可動接点片を小さな駆動力で駆動できるので、応答特性の良いマイクロリレーが得られる。あるいは、板状芯体が、ベースの裏面から、このベースに設けた貫通孔を介してベースの表面に迫り出すように積層一体化されるとともに、中芯体が、貫通孔から露出する板状芯体の露出面に突設されていれば、ベースの表裏面から板状芯体および中芯体を形成できる。このため、製造の自由度が広がり、製造が容易になる。また、複数枚の前記可動接点片を同一平面上に配置し、かつ、電気接続して複数の電気回路を任意に開閉できれば、マトリックスタイプのマイクロリレーが得られるという効果がある。

【図面の簡単な説明】

【図1】 本願発明にかかるマイクロリレーの第1実施形態を示す分解斜視図である。

【図2】 図1で示したマイクロリレーを示し、図(a)は平面図、図1(b)は回路図である。

【図3】 図1で示したマイクロリレーの部分破断斜視図である。

【図4】 図1で示したマイクロリレーの製造工程を説明するための断面図である。

【図5】 図1で示したマイクロリレーの製造工程を説明するための断面図である。

【図6】 図1で示したマイクロリレーの製造工程を説明するための断面図である。

【図7】 第1実施形態にかかるフラットコイルの製造工程を説明するための端面図である。

【図8】 第1実施形態にかかるフラットコイルを示す部分破断斜視図である。

【図9】 図1で示したマイクロリレーの中間品を示し、図(a)は斜視図、図(b)は要部断面図である。

【図10】 図1で示したマイクロリレーの中間品の斜視図である。

【図11】 第2実施形態の分解斜視図である。

【図12】 図11で示したマイクロリレーの部分破断斜視図である。

【図13】 第3実施形態にかかるマイクロリレーの製造工程を説明するための断面図である。

【図14】 第4実施形態にかかるマイクロリレーを示し、図(a)平面図、図(b)は回路図である。

【符号の説明】

10…マイクロリレー、11…ベース、12…凹所、13…板状芯体、14、15…中芯体、16…補助ヨーク、20、21…フラットコイル、31a、31b…固定接点用接続パッド、32a、32b…フラットコイル

用接続パッド、34、35…固定接点、36a、36b  
…可動接点用接続パッド、41、42…ヒンジ部、43  
…可動接点片、50…箱形セラミックパッケージ、60

…セラミックカバー、75、76…第1、第2層状芯  
体、77…中芯体、79…固定接点。